



C. Voss

# séquenceur programmable

La programmation et le stockage des tensions de commande peuvent être réalisés de diverses manières, et, par exemple, par l'intermédiaire de potentiomètres, de commutateurs, de circuits échantillonneurs-bloqueurs ou de mémoires digitales. La méthode décrite dans cet article revient à traduire chaque tension selon un code binaire et à mémoriser les informations dans une RAM (Random Access Memory = mémoire à accès aléatoire). Lorsque le contenu de la mémoire est lu, il est appliqué à un convertisseur

de commutateurs connectés aux entrées de données de la RAM (voir figure 3). L'adresse de la case-mémoire dans laquelle l'information est stockée est déterminée par un compteur d'adresse. En réalité, il s'agit de deux compteurs d'adresse, dont l'un (le compteur "auxiliaire") est piloté par les impulsions d'horloge de l'autre (compteur "principal"). Lorsque l'air mémorisé doit être rejoué, le compteur d'adresse explore chacune des cases-mémoire. La donnée est lue, puis appliquée aux convertisseurs D/A, lesquels délivrent

Les séquenceurs sont des dispositifs extrêmement répandus, susceptibles d'équiper en option les synthétiseurs de musique. On s'en sert pour mémoriser des séquences de tensions de commande pré-programmées des VCOs (oscillateurs commandés en tension) et VCFs (filtres commandés en tension) du synthétiseur; ces tensions peuvent être ensuite ré-appliquées à la commande du synthétiseur permettant ainsi de produire des séquences de notes que l'on peut utiliser, par exemple, comme support de la mélodie principale jouée au clavier de l'instrument.

C. Voss

# séquenceur programmable

D/A (digital-analogique) qui délivre un signal analogique susceptible d'alimenter les VCOs du synthétiseur. Outre la hauteur de la note (c'est-à-dire, sa fréquence), la programmation concerne également son étendue relative. La durée de chaque note peut être choisie dans le rapport 1:2:4:8.

La figure 1 présente le schéma synoptique du séquenceur programmable. La hauteur (c'est-à-dire, la position de la note sur l'échelle musicale, et donc son octave) et l'étendue sont programmées en code binaire par l'intermédiaire

des tensions de commande qui vont réellement attaquer les VCOs. En fonctionnement normal, le circuit est capable de stocker 16 séquences de 16 notes chacune, ce qui équivaut à une séquence totale de 256 notes; cependant, en se servant du circuit de reset (remise à l'état initial) et du compteur d'adresse "auxiliaire", il est possible de réaliser des séquences plus longues, voire même plus courtes. L'étendue de la note est commandée par un convertisseur D/A associé à un VCO dont la tension de sortie fait varier la



2b

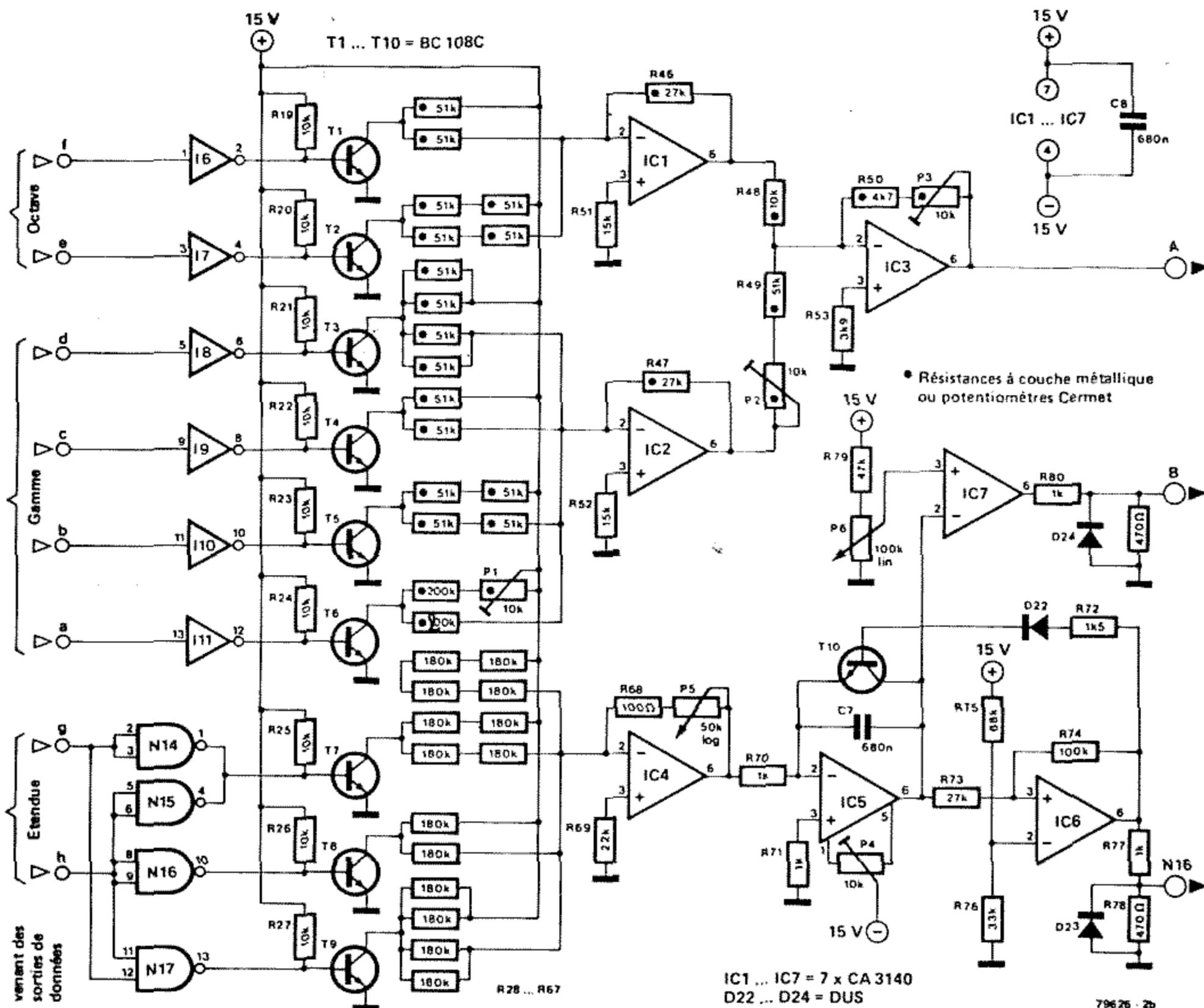


Figure 2b. Séquenceur programmable: Convertisseurs D/A et étages de sortie.

fréquence d'horloge du compteur d'adresse principal.

Les tensions analogiques disponibles à la sortie A sont appliquées aux VCOs du synthétiseur. Une impulsion de porte disponible à la sortie B, est engendrée en association avec chaque note. Cette impulsion, dont la largeur peut être modifiée sert à déterminer le début et la durée de la tension de commande d'enveloppe délivrée par le module ADSR du synthétiseur.

Le schéma du circuit complet du séquenceur programmable est présenté dans le cadre des figures 2a et 2b. La figure 2a regroupe la section digitale du séquenceur avec la mémoire, le compteur d'adresse et le circuit de remise à l'état initial. Quant à la figure 2b, elle montre les convertisseurs D/A ainsi que les étages de sortie.

Deux RAMs 2101, d'une capacité de 256 fois 4 bits, connectées en parallèle forment la mémoire dans laquelle seront

stockées les tensions de commande traduites en code binaire. Les adresses de niveau plus élevé de la donnée d'entrée sont inscrites à l'aide des commutateurs S2 à S5. Les flip-flops (IC 11), intercalés entre les commutateurs et les RAMs, garantissent que toute nouvelle adresse inscrite à l'aide de S2 ... S5 n'est présentée aux entrées d'adresses des RAMs qu'après que la séquence de notes précédente se soit achevée.

Le circuit intégré IC 10 forme le compteur d'adresse principal. Celui-ci est piloté par les impulsions d'horloge délivrées par la partie analogique du circuit (présentée en figure 2b), via IC6. Ce compteur engendre les adresses "de niveau bas", c'est-à-dire qu'il cadence de "0000" à "1111", après quoi l'adresse de niveau haut est incremented à un (via S2 ... S5) avant que le compteur ne revienne à l'état initial et entame le cycle d'une nouvelle

séquence de 16 adresses.

Le circuit de remise à l'état initial est composé de N12 et N13. Lorsque les sorties de données a ... f de la RAM passent toutes à l'état haut, N12 et N13 garantissent que le compteur binaire soit remis à zéro, et, par conséquent, l'adresse contenant le mot donnée "111111" constitue l'adresse de remise à zéro. Les inverseurs I1 ... I4 forment une porte NOR (les inverseurs ont tous des sorties à collecteur ouvert de telle sorte que IC11 ne soit cadencé que lorsque le compteur d'adresse revient à l'état initial (c'est-à-dire, quand toutes ses sorties passent à l'état bas). Cette disposition assure qu'une nouvelle adresse de niveau haut ne puisse être présentée aux entrées d'adresse des RAMs avant que la séquence de notes précédente se soit achevée. Lorsque S2 ... S5 sont placés en position c, le compteur d'adresse "auxiliaire" (IC12) est connecté aux entrées d'adresse des RAMs. Ce

compteur est cadencé par IC10, via I1...I5, afin qu'une impulsion d'horloge lui soit appliquée chaque fois que IC10 repasse à l'état initial (c'est-à-dire, toutes les 16 adresses). Par conséquent, si toutes les sorties de IC12 sont connectées aux RAMs, la totalité du contenu de la mémoire peut être lue séquentiellement.

Le commutateur S1 détermine le mode de fonctionnement du séquenceur. Dans la position a, le commutateur bloque la porte N10, ce qui provoque la mise hors service immédiate du compteur d'adresse. En position b, le séquenceur fonctionne normalement, tandis qu'en position c, le compteur d'adresse stoppe dès qu'il atteint l'adresse "0000".

En fait, pour programmer une séquence de notes et l'introduire en mémoire, il faut d'abord commencer par presser le commutateur à bouton-poussoir Ta1, ce qui a pour effet de remettre le compteur d'adresse à l'état initial, par l'intermédiaire de N12, et d'appliquer aux RAMs le signal d'autorisation de fonctionnement. L'information relative à la hauteur et à l'étendue de la note à mémoriser est alors inscrite dans les RAMs en pressant Ta2. Cette manœuvre provoque le déclenchement, à tour de rôle, de chacun des multivibrateurs monostables MMV1...MMV3. L'impulsion de sortie de MMV1 cadence le compteur d'adresse (IC10), par l'intermédiaire de N9. L'impulsion délivrée par MMV2 met provisoirement les RAMs dans le mode écriture, de telle sorte que l'information présente aux entrées de données soit stockée effectivement en mémoire. La sortie Q de MMV3 porte la sortie de N8 à l'état haut afin que N13 soit capable d'identifier le mot de code de remise à l'état initial ("111111") sur les sorties de données des RAMs.

La note suivante est inscrite en mémoire de la même manière; la donnée d'entrée est introduite à l'aide des commutateurs correspondants, après quoi Ta2 est pressé et la donnée est inscrite en mémoire. Dès que la séquence de notes concernée est stockée, Ta3 est pressé, ce qui a pour effet d'inscrire le code de remise à l'état initial dans la mémoire en portant les entrées de N1 à N6 à l'état bas et, par conséquent, les entrées de données des RAMs à l'état haut. Lorsque N13 identifie le code de remise à l'état initial, le compteur d'adresse (IC10) est remis à zéro, de telle sorte que, par l'intermédiaire de I1...I5, le flip-flop FF2 soit déclenché et que les RAMs soient remises au mode lecture. Le trigger de Schmidt ST4 garantit que les commutateurs S2...S5 soient à l'état bloqué et que les RAMs seront mises hors service pendant une brève période initiale.

La figure 2b présente les convertisseurs digitaux-analogiques et les étages de sortie. Les circuits intégrés IC1...IC3 délivrent les tensions de commande analogiques qui déterminent la fréquence des notes, tandis que le convertisseur

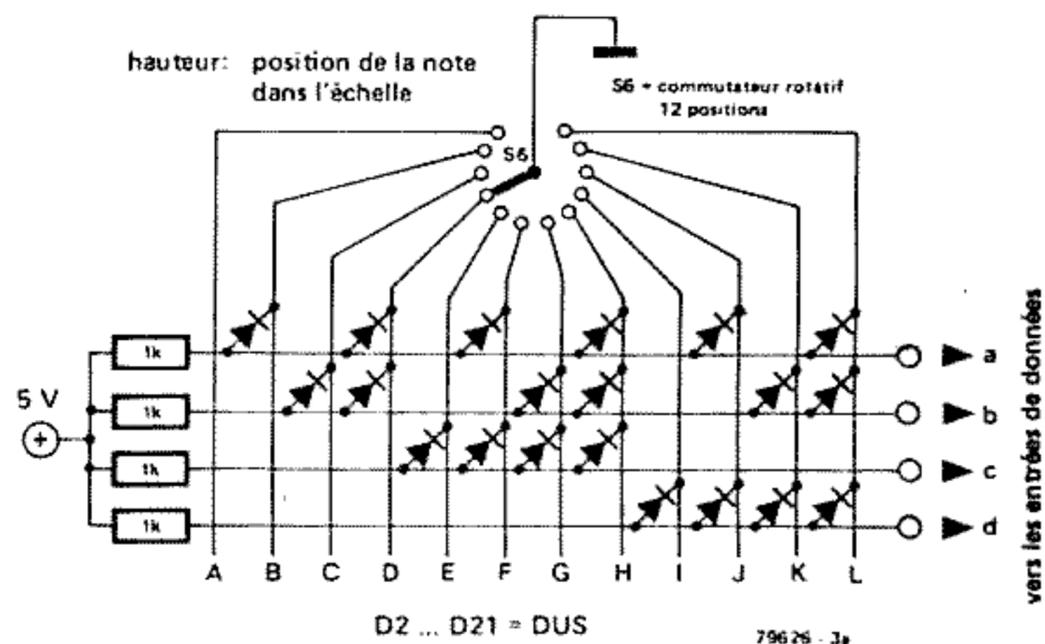
D/A organisé autour de IC4 sert à commander l'étendue de celles-ci. A la différence de celles des deux convertisseurs D/A, IC1 et IC2, les tensions de sortie de IC4 ont une croissance exponentielle et non pas linéaire. Ce qui signifie que, lorsque le signal d'entrée digital incrémente de "01", la tension de sortie double.

La sortie de IC4 est appliquée à un générateur de dents de scie formé par IC5 et IC6, lequel cadence le compteur d'adresse principal (IC10, dans la figure 2a) et délivre une impulsion de porte de largeur variable, par l'intermédiaire du trigger de Schmidt IC7.

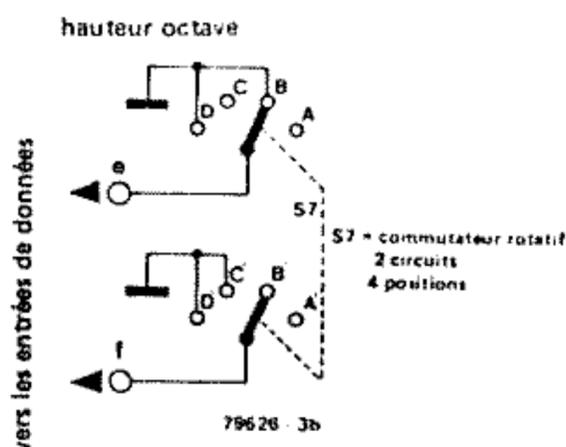
En dépit de l'existence de six points de réglage (les potentiomètres P1...P6), l'ajustement du circuit est assez simple et ne nécessite aucun équipement de mesure particulier. Le circuit est ajusté correctement lorsque le passage de l'entrée "e" de l'état "0" à l'état "1" provoque une augmentation de 1V de la tension présente à la sortie A. Celle-ci est réglable à l'aide de P3.

Il faudra que P2 soit ajusté de telle manière que la tension de sortie varie de 0,5V quand les entrées "b" et "c" passent à l'état haut. Le réglage précis s'achève à l'aide de P1. Un changement de l'état de l'entrée "a" devra correspondre à une modification de 1/12 de V dans la tension du signal de sortie. P5 sera ajusté pour que la fréquence de sortie double de valeur lorsque l'entrée "g" passera à l'état haut. P4 sert à compenser les tensions d'offset de IC4 et IC5. Enfin, P6 détermine la largeur de l'impulsion de porte. ■

### 3a



### 3b



### 3c

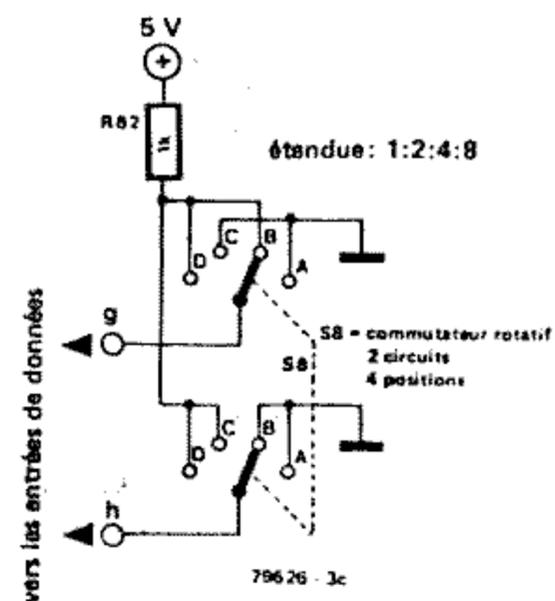


Figure 3. Les trois commutateurs d'entrée de données.